

Referencia: Información preliminar de la
Cuarta Escuela de Sistemas Embebidos

San Luis, 11 de Marzo de 2015

Estimados integrantes de la RUSE

Por medio de la presente, nos dirigimos a ustedes con el fin de acercarles algunos detalles acerca de la organización de la Cuarta Escuela para la Enseñanza de los Sistemas Embebidos a realizarse la semana del 13 al 17 de Abril de 2015 en la localidad de La Punta, San Luis.

Organizador Local

Facultad de Ciencias Físico Matemáticas y Naturales

Universidad Nacional de San Luis



Vacantes

Se dispone de un total de 80 plazas, que serán asignadas priorizando la participación de la mayor cantidad de Unidades Académicas.

Ubicación de las sedes organizadoras

La unidad académica correspondiente para ser sede de la Cuarta Escuela de Sistemas Embebidos es la Facultad de Ciencias Físico-Matemáticas y Naturales (Universidad Nacional de San Luis), la cual se ubica en Ejército de los Andes 950, San Luis Capital.

El lugar físico en donde se llevará a cabo la Cuarta Escuela de Sistemas Embebidos es en "Arenas de la Punta", complejo situado en la Ciudad de La Punta, la cual dista aproximadamente 14 Km del centro de San Luis.

Ubicación donde se desarrollará la escuela

Ciudad de la Punta Provincia de San Luis

[http://es.wikipedia.org/wiki/La_Punta_\(San_Luis\)](http://es.wikipedia.org/wiki/La_Punta_(San_Luis))





Alojamiento

En cuanto al alojamiento respecta, fue elegido el "Amerian San Luis Park Hotel", ubicado dentro del complejo de Arenas de La Punta. Para más información, visitar el siguiente link

<http://www.hotelameriansanluis.com.ar/>

Accesos

Los principales accesos a la Ciudad de San Luis son: la Ruta Nacional Nº 7 por el este/oeste y las Rutas Nacionales Nº 146 y 147 por el norte. El acceso sur tiene lugar a través de la Ruta Nacional Nº 148 o a través de rutas provinciales.

A continuación podrá acceder a links de Google Maps que podrá utilizar como referencia para llegar al punto de encuentro, utilizando las principales rutas de acceso anteriormente mencionadas (click en el texto subrayado, luego en el link que se desplegará). Si desea cambiar el recorrido, tomando rutas provinciales, o desde la ubicación en la que se encuentra actualmente, modificar el "origen" en la esquina superior izquierda.

Acceso oeste (desde Mendoza):

[Por Ruta Nacional Nº 7](#)

[Por Ruta Nacional Nº 146](#)

Acceso este/noreste (desde Córdoba):

[Por Ruta Nacional Nº 7](#)

[Por Ruta Nacional Nº 8](#)

[Por Ruta Nacional Nº 148](#)

Acceso norte (desde San Juan/La Rioja):

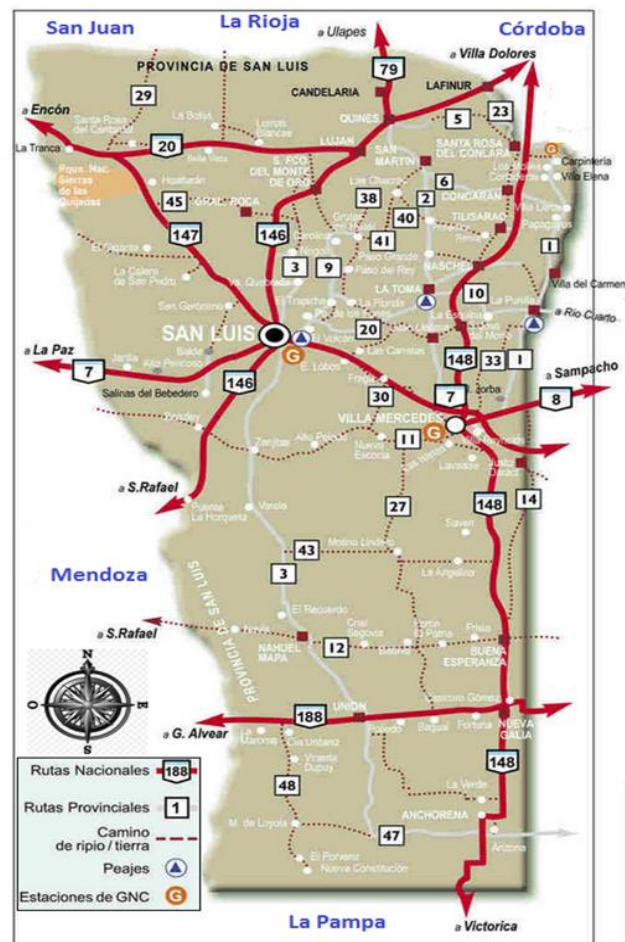
[Por Ruta Nacional Nº 20](#)

[Por Ruta Nacional Nº 79](#)

Acceso este/sur (desde La Pampa):

[Ruta Nacional Nº 188](#)

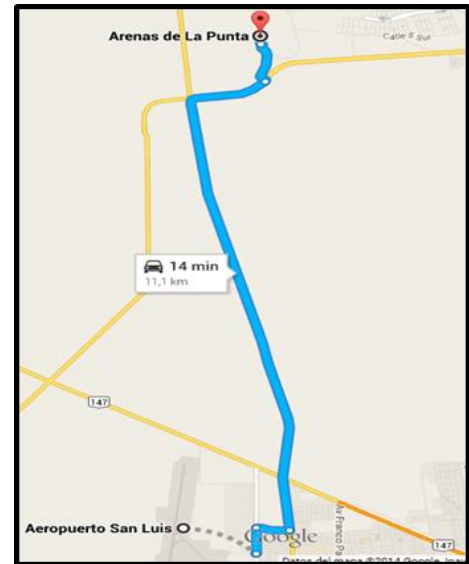
[Ruta Provincial Nº 55](#)



Aeropuerto

La distancia entre el aeropuerto Brigadier Mayor Cesar Raúl Ojeda y el Hotel Arenas de La Punta es de 11.1 Km, recorrido que en automóvil lleva 15min.

Taxi: costo aproximado: \$110



[Link Google Map](#)

Llegada

Número de vuelo	Aeropuerto de salida	Hora de partida	Aeropuerto de destino	Hora de llegada	Escalas	09/04/2015	10/04/2015	11/04/2015	12/04/2015	13/04/2015	14/04/2015	15/04/2015
2486 +	AEP	13:00	LUQ	14:35	0	✈	✈	✈	✈	✈	✈	✈
Operado por: AUSTRAL LINEAS AEREAS												
7572 +	AEP	18:00	LUQ	20:10	0				✈			
Operado por: SOL LINEAS AEREAS												

Número de vuelo	Aeropuerto de salida	Hora de partida	Aeropuerto de destino	Hora de llegada	Escalas	10/04/2015	11/04/2015	12/04/2015	13/04/2015	14/04/2015	15/04/2015	16/04/2015
7573 +	AEP	06:20	LUQ	08:30	0				✈			
Operado por: SOL LINEAS AEREAS												
2486 +	AEP	13:00	LUQ	14:35	0	✈	✈	✈	✈	✈	✈	✈
Operado por: AUSTRAL LINEAS AEREAS												
7566 +	AEP	18:40	LUQ	20:50	0	✈			✈	✈	✈	✈
Operado por: SOL LINEAS AEREAS												

[Link Aerolíneas Argentina](#)

Partida

Número de vuelo	Aeropuerto de salida	Hora de partida	Aeropuerto de destino	Hora de llegada	Escalas	14/04/2015	15/04/2015	16/04/2015	17/04/2015	18/04/2015	19/04/2015	20/04/2015
2487 +	LUQ	15:15	AEP	16:37	0	✈	✈	✈	✈	✈	✈	✈
Operado por: AUSTRAL LINEAS AEREAS												
7569 +	LUQ	21:20	AEP	23:20	0			✈	✈			
Operado por: SOL LINEAS AEREAS												

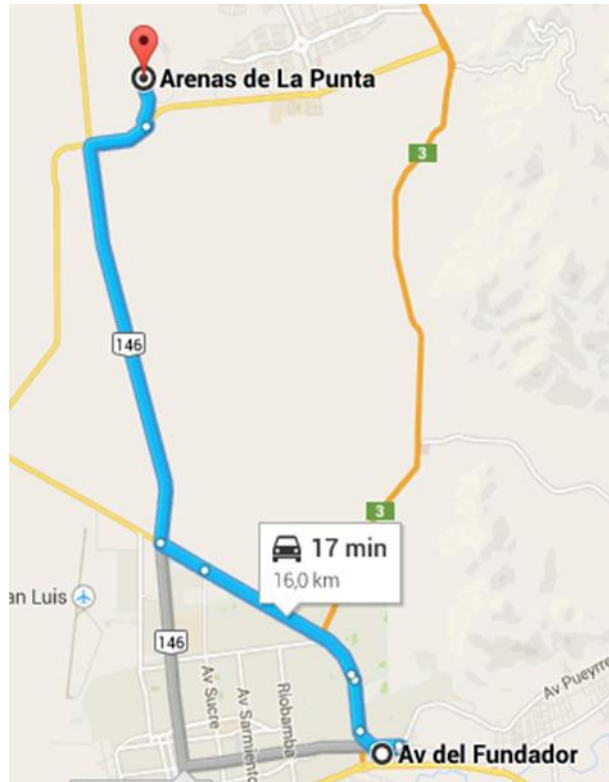
[Link Aerolíneas Argentina](#)

Terminal de Ómnibus

La distancia entre la terminal de ómnibus y el Hotel Arenas de La Punta es de 14.9Km recorrido que en automóvil lleva 30min.

Taxi: costo aproximado \$130

Línea interurbana de ómnibus: Sol Bus.
Ramal La Punta - Ruta 146. Costo \$3.75.



[Link Google Map](#)

Costo por persona para docentes no residentes

El costo total por los 5 días para responsables de los cursos y los docentes de las unidades académicas pertenecientes a la RUSE será de \$3000 (\$600 por persona por día) no pudiéndose fraccionar.

Servicios incluidos: desayuno buffet, almuerzo tipo lunch informal con bebidas sin alcohol, 1 coffe a media mañana solo de bebibles y 2 medialunas, y otro de media tarde y Cena de 3 tiempos con 1 bebida sin alcohol, acceso full al Spa (sauna, baño a vapor, ducha escocesa, jacuzzi y piscina cubierta climatizada), acceso al Arenas Gym, WiFi y estacionamiento cubierto), servicio de mucama y uso de 5 espacios salones para clases.

Sobre el Alojamiento: habitaciones triples.

Costo por persona para docentes residentes

Para los residentes en la provincia de San Luis no se incluyen en los costos ni el alojamiento ni el desayuno. Por lo tanto, se contemplan dos tarifas que se detallan a continuación:

Costo: \$900 (incluido el almuerzo).

Costo: \$1600 (incluido el almuerzo + cena).

(Se aclara que estos costos finales son por los 5 días – no se pueden fraccionar)

Costo por persona para profesionales de la industria

Se habilitan 5 cupos para personas que trabajen en la industria. Para los mismos se contemplan las siguientes tarifas según el lugar de origen:

Costo NO residente: \$3750.

Costo residente: \$1400 (incluido el almuerzo).

Costo residente: \$2100 (incluido el almuerzo + cena).

(Se aclara que estos costos finales son por los 5 días – no se pueden fraccionar)

Costos del Curso

El curso es totalmente gratuito. Los costos detallados más arriba contemplan alojamiento, desayuno, almuerzo, cena, coffe-break y salones para el caso de los no residentes. Para las personas que no van a estar alojada en el hotel solo abonarán almuerzo, salones, coffe-break y pueden optar o no por la cena.

Financiación

Solamente los docentes universitarios accederán a una financiación sobre los costos que se detallaron más arriba. Se deberá tener presente que la misma no será sobre el valor total. En los próximos días se darán más detalles.

El resto de las participantes deberán abonar el 100% de los costos antes de iniciar la escuela.

Cursos Ofrecidos

Los cursos serán protocolizados por la Universidad Nacional de San Luis. A si mismo se está trabajando para ver la posibilidad de los mismos sean cursos de Postgrado.

Además, se está realizando la gestión para incorporar un curso de Linux Embebido. Se informara a la brevedad.



➤ **Arquitectura y Programación de Microcontroladores de 32 bits - Nivel I**

Fundamentación: el curso se organiza en el marco de una serie de actividades de la Red Universitaria de Sistemas Embebidos (RUSE) del CONFEDI. Es una actividad orientada a docentes universitarios de todo el país cuyo principal objetivo es que puedan incorporar en su formación los nuevos bríos de la electrónica digital programable por hardware.

Hoy en día el ingeniero electrónico o ingeniero en computación debe enfrentar el mercado con capacidades de diseño de sistemas digitales cada vez más complejos, de especificaciones variables, de menor costo y reducidos tiempos de desarrollo. El ingeniero, por lo tanto, debe conocer dispositivos lógicos modernos, herramientas flexibles de desarrollo, la posibilidad de actualización de diseños y la disminución de los costos del chequeo del producto final. Esto se consigue en el ámbito digital empleando sistemas basados en microcontroladores y/o lógica programable mediante el uso de una plataforma de diseño que brinde una solución universal.

Objetivo: brindar un suave y sencillo acercamiento a la arquitectura, tecnología, técnicas y herramientas que faciliten la concreción de aplicaciones prácticas con micros de 32 bits, específicamente con LPC1769 (Cortex M3 de la serie LPC17XX de NXP). Para cumplir con tal objetivo se recurrirá a la presentación de temas teóricos, la presentación y aplicación de técnicas y herramientas mediante la ejercitación básica e integradora debida.

Dirigido a: docentes del área de las ciencias exactas preferentemente (no excluyente) ing. electrónicos, eléctricos y en computación. Profesionales del área de las ciencias exactas.

Profesor: Ing. Juan Manuel Cruz (: jmcruz@hasar.com).

Condiciones de admisión: conocimientos previos de electrónica digital e informática: lógica combinacional y secuencial, arquitectura de microprocesadores y/o microcontroladores de 8 bits, programación de micros en lenguaje assembly y/o C.

Nro inscriptos: mínimo 3 y hasta 40 alumnos.

Programa:

- **Introducción a Arquitectura y Programación de microcontroladores de 32 bits.**
Diseño de Sistemas Embebidos con microcontroladores. ARM Cortex M3 (Introducción, Generalidades y Fundamentos). MCU NXP LPC1769. Programación en C para Embebidos & CMSIS.
- **Uso de modelos en la programación de microcontroladores**
Evolución de la Máquina de Estado al Diagrama de Estado. Codificación en C de modelos. Herramientas de edición, verificación y validación de modelos (IAR visualSTATE). Ejercitación con modelos: salidas, entradas, temporización, drivers y aplicaciones.
- **Prácticas con herramientas LPCXpresso & IAR visualSTATE**
Introducción. Salidas, Entradas y SysTick. Drivers y Aplicaciones.

Duración: 40 horas.



Metodología: las clases serán teórico-prácticas con énfasis, en la aplicación de los conocimientos adquiridos, en la solución de problemas reales. Al finalizar la clase está previsto proponer problemas los que serán elaborados y programados individualmente. Los alumnos tendrán facilidades para hacer consultas vía telefónica, e-mail o presenciales, durante el período inter-clases.

Bibliografía:

- The Definitive Guide to the ARM Cortex-M3 - Joseph Yiu, 2ª Edición, Newnes Elsevier Inc, 2010.
- Cortex™-M3, Revision r2p0, Technical Reference Manual – ARM.
- ARM®v7-M Architecture, Reference Manual – ARM.
- UM10360 LPC176x/5x User Manual & LPC1769/68/67/66/65/64/63 Product data sheet – NXP.
- Reference Guide & User Guide of visualState – IAR.
- El Lenguaje Unificado de Modelado, G. Booch, J. Rumbaugh, I. Jacobson, 2ª Edición, Addison-Wesley, 2006.

➤ **Arquitectura y Programación de Microcontroladores de 32 bits - Nivel II (sobre EDU-CIAA)**

Fundamentos: el curso se organiza en el marco de una serie de actividades de la Red Universitaria de Sistemas Embebidos (RUSE) del CONFEDI. Es una actividad orientada a docentes universitarios de todo el país cuyo principal objetivo es que puedan incorporar en su formación los nuevos bríos de la electrónica digital programable por hardware.

Hoy en día el ingeniero electrónico o ingeniero en computación debe enfrentar el mercado con capacidades de diseño de sistemas digitales cada vez más complejos, de especificaciones variables, de menor costo y reducidos tiempos de desarrollo. El ingeniero, por lo tanto, debe conocer dispositivos lógicos modernos, herramientas flexibles de desarrollo, la posibilidad de actualización de diseños y la disminución de los costos del chequeo del producto final. Esto se consigue en el ámbito digital empleando sistemas basados en microcontroladores y/o lógica programable mediante el uso de una plataforma de diseño que brinde una solución universal.

Objetivo: profundizar los conocimientos incorporados en el curso Arquitectura y Programación de Microcontroladores de 32 bits (Parte I) agregando contenidos sobre arquitecturas avanzadas de las familias Cortex M3 y técnicas detalladas de programación de periféricos.

Dirigido a: docentes del área de las ciencias exactas preferentemente (no excluyente) ing. electrónicos, eléctricos y en computación. Profesionales del área de las ciencias exactas.

Profesor: Ing Marcelo Edgardo Romeo (marcelo.romeo@gmail.com)

Condiciones de admisión: conocimientos previos en Arquitectura de microcontroladores ARM de 32 bits, su entorno de programación eclipse y de técnicas de programación básicas de los mismos. También se requiere conocer el empleo de máquinas de estado para resolver sistemas secuenciales con lógica programada.

Nro inscriptos: mínimo 3 y hasta 20 alumnos.



Programa:

- **Arquitectura Cortex**
Arquitectura Harvard modificada. Implementación RISC de una máquina de tres direcciones. Arquitectura interna de un microcontrolador de 32 bits Cortex M3. Distintas subfamilias Cortex (A,R,M). Concepto de Core y periféricos incorporados por los fabricantes. Thumb2. Compatibilidades entre familias. Pipeline.
- **Repertorio de instrucciones y Assembler**
Repertorio de instrucciones. Instrucciones condicionales. Instrucciones de procesamiento de datos. Barrel Shifter. Instrucciones de movimientos de datos. Arquitectura Load Store. Preindexado y postindexado. Pila y su uso. Push y Pop. Program Status Register. Instrucciones de control de flujo. Vinculación entre funciones en C y en Assembler AAPCS. Subrutinas anidadas. Instrucciones de control.
- **Modos de operación**
Handler y thread. Privilegiado y no privilegiado. Registros. Transiciones entre modos. Conmutación de modos.
- **Sistemas de Memoria**
Matriz de buses multicapa. Mapa de memoria. Unidad de protección de memoria. Su uso en sistemas operativos. Manipulación atómica de bits. Endianess.
- **Excepciones**
Excepciones e interrupciones. Su gerenciamiento. Prioridades. NVIC. Service Call empleada para comunicar tareas con el sistema operativo. Determinismo. El uso de la pila en las excepciones. Tail chaining. Latencia de interrupciones. Prevaciado. Llegada tardía. Tabla de vectores y su reubicación. Reset.
- **Un caso de estudio LPC1769**
Características principales. Compatibilidades. Diagrama en bloques detallado. Mapa de memoria. Periféricos mapeados como memoria. Atributos de la memoria. Acelerador de memoria flash. Relojes. PLLs. Programación del NVIC. GPIOs. Timers. RTC. Watchdog. Modulación del ancho de pulso. Acceso directo a memoria. Interfaces Serie. Conversores A/D y D/A. Modos de bajo consumo.
- **Cortex M0 y M4**
Memoria virtual y MMU. Cortex A8. Cortex M0, M0+ y M1. Cortex M4 y su DSP. Introducción a la implementación de filtros digitales. Multiprocesadores asimétricos.

Duración: 32 horas.

Metodología: finalizadas la clase está previsto proponer problemas los que serán elaborados y programados individualmente. Los alumnos tendrán facilidades para hacer consultas.

Bibliografía:

- The Definitive Guide to the ARM Cortex-M3, Second Edition – Joseph Yiu – Newnes – 2009 - **ISBN-13:** 978-1856179638.
- Cortex-M3 Technical Reference Manual
(http://infocenter.arm.com/help/topic/com.arm.doc.ddi0337i/DDI0337I_cortexm3_r2p1_trm.pdf).
- The Cortex Microcontroller Software Interface Standard
(<http://www.onarm.com/cmsis/download/10/version-2-0-of-the-cortex-microcontroller-software-interface-standard-cmsis/>) .



- ARM®v7-M Architecture Reference Manual (<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.set.architecture/index.html>).
- ARM Generic Interrupt Controller
- Practical UML Statecharts in C/C++, Second Edition: Event-Driven Programming for Embedded Systems - Miro Samek – Newnes – Octubre 2008 - **ISBN-13:** 978-0750687065.
- ARM Architecture Reference Manual – Seal - Addison Wesley – 2000 – ISBN 0 201 737191.
- ARM system-on-chip architecture – Second edition -Furber – Addison Wesley 2000 – ISBN 0-201-67519-6.
- ARM System Developer's Guide: Designing and Optimizing System Software – Sloss. Symes. Wright – Morgan Kaufmann – 2004 - **ISBN-13:** 978-1558608740.
- Real-Time Concepts for Embedded Systems - Qing Li Caroline Yao – CMP – Julio 2003 - **ISBN-13:** 978-1578201242.

➤ ***RTOS y aplicaciones utilizando CIAA-Firmware***

Fundamentos: la actividad permite incorporar en su formación conceptos elementales sobre la utilización de Sistemas Operativos de Tiempo Real (RTOS, por sus siglas en ingles) en sistemas embebidos.

Hoy en día, existen muy pocas aplicaciones que empleen sistemas embebidos basados en microcontroladores de 32bits que no utilicen un RTOS. El RTOS puede verse básicamente como una biblioteca de software que es aprovechada por el código del usuario a fin de sumar ciertas características al diseño de su aplicación, como ser:

- Multitarea cooperativa y/o expropiativa.
- Política de scheduling de procesos orientada a satisfacer requerimientos de respuesta en tiempo real.
- Gestión dinámica de memoria.
- Mecanismos de comunicación entre procesos.

Dichas características, entre otras, dotaran a la aplicación embebida de una confiabilidad superior, además de aumentar la portabilidad de su código a otras arquitecturas, dado que muchos RTOS disponen de Interfaces de Programación de Aplicaciones (API) basadas en estándares como POSIX (<http://pubs.opengroup.org/onlinepubs/9699919799/>) u OSEK (<http://www.osekvd.org/>), por mencionar ejemplos.

Es por ello que se considera fundamental que el ingeniero a cargo tanto del diseño como de la enseñanza de sistemas embebidos incorpore los conceptos fundamentales que serán explicados en el presente curso.

Objetivo: incorporar elementos de programación utilizando RTOS, como extensión superadora de la programación bare-metal (sin RTOS). Discernir la diferencia entre RTOS dinámicos y estáticos, y en qué casos es conveniente la utilización de cada tipo. Entender los motivos de las diferentes políticas de scheduling que implementan los RTOS a diferencia de los Sistemas Operativos de propósito general. Llevar a cabo ejercicios prácticos que permitan la aprehensión de los conceptos teóricos.

Dirigido a: docentes y profesionales del área de Ingeniería Electrónica, Ingeniería en Computación y carreras afines.

Profesor: Ing. Gustavo Muro (gustmuro@gmail.com).

Nro inscriptos: de 3 a 40 alumnos.

Programa:

- **Introducción a CIAA – Firmware**
Entorno de desarrollo. Repositorio de código y control de versiones. GIT y GitHub. Estructura de directorios. GNU make.
- **Conceptos generales de sistemas operativos de tiempo real**
Cambios de contexto y políticas de Scheduling. Gestión de memoria. Gestión de interrupciones de hardware. Comunicaciones entre tareas. Recursos y Eventos.
- **Sistema operativo de tiempo real estático**
Estructura de OSEK. Diferencias entre un sistema operativo estático y uno dinámico. Configuración. Tipos de tareas. Estados. Prioridades. Scheduling. Eventos. Recursos. Alarmas.
- **Interfaz de Programación de Aplicación API basada en estándar POSIX**
Ventajas de utilizar una interfaz estándar. POSIX. Acceso a los dispositivos. open, close, read, write, ioctl. Acceso Bloqueante o No Bloqueante. Servicios, Interfaces y Drivers.
- **Introducción al testeado de software.**
Tipos de tests. Test unitarios. Mocks. Ejemplos utilizando la herramienta Ceedling.

Duración: 36 horas.

Sistema de evaluación: las clases serán teórico-prácticas con énfasis, en la aplicación de los conocimientos adquiridos, en la solución de problemas reales. Al finalizar la clase está previsto proponer problemas los que serán elaborados y programados individualmente. Los alumnos tendrán facilidades para hacer consultas vía telefónica, e-mail o presenciales, durante el periodo inter-clases. Para la aprobación del curso se solicitará la programación de un diseño que contemple la utilización del sistema operativo de mediana complejidad.

Bibliografía:

- OSEKOS 2.2.3 standard. <http://www.osekvd.org/>.
- OSEKOIL 2.5 standard. <http://www.osekvd.org/>.
- IEEE – POSIX <http://pubs.opengroup.org/onlinepubs/9699919799/>.
- Using the FreeRTOS RealTime Kernel, NXP LPC17xx edition. R. Barry.

➤ ***Procesamiento Digital de Señales y Aplicaciones Embebidas con FPGA***

Fundamentos: el curso se organiza en el marco de una serie de actividades de la Red Universitaria de Sistemas Embebidos (RUSE) del CONFEDI. El dictado del curso se realizará en la 4ta Escuela de Sistemas Embebidos de San Luis, cuyo Comité Organizador está integrado por docentes del Área Electrónica y Microprocesadores del Departamento de Física y docentes del Departamento de Informática de la Facultad de Ciencias Físico, Matemáticas y Naturales de la UNSL. Es una actividad orientada a docentes universitarios de todo el país cuyo principal objetivo es que puedan incorporar en su formación las nuevas tecnologías y métodos de trabajo en la electrónica digital programable por hardware. Los sistemas embebidos que combinan hardware y software poseen una creciente aplicación en múltiples usos por su bajo costo, flexibilidad, reprogramabilidad,



reconfigurabilidad y menor tiempo de desarrollo y testeo que otro tipo de implementaciones. Las metodologías de trabajo propuestas en el presente curso, ofrecen gran versatilidad para realizar implementaciones de procesamiento digital de señales, cuestión clave para el tratamiento de las entradas y salidas de dichos sistemas.

Objetivo: estudio de la teoría, algoritmos y técnicas avanzadas de diseño de aplicaciones de Procesamiento Digital de Señales para su implementación en dispositivos lógicos configurables FPGAs, haciendo uso de herramientas de generación y simulación de algoritmos matemáticos y herramienta de síntesis para generar la respectiva lógica digital, optimizada de acuerdo a la aplicación.

Dirigido a: docentes, investigadores y egresados de ingeniería electrónica, informática o carreras afines.

Profesor: Mg. Cristian Cisterna (csistema@gmail.com).

Nro inscriptos: hasta 40 alumnos.

Programa:

- **Señales y Sistemas**
Tipos de Señales. Tipos de Sistemas. Características. Respuesta al impulso. Convolución. Diagrama en bloques. FIR. IIR. Ecuación en diferencias. Señales y espectros. Serie discreta de Fourier. Transformada de Fourier de Tiempo Discreto. Propiedades. Transformada Z bilateral y unilateral. Propiedades. Análisis en el dominio z de señales y sistemas lineales e invariantes en el tiempo: Relación entre la convolución, ecuación en diferencias, respuesta impulsiva, función de transferencia y respuesta en frecuencia. Respuesta natural, respuesta forzada y condiciones iniciales.
- **Flujo de Diseño Simulink - System Generator**
Introducción a Matlab y Simulink. Flujo de diseño Simulink-System Generator. Ejemplos básicos. Periodo de muestreo en Simulink. Introducción a System Generator (Xilinx). Conjunto de bloques básicos de Xilinx en Simulink. Generación de archivos del FPGA. Conjunto de bloques de referencia. Interface Simulink-FPGA. Bloques Gateway In y Gateway Out. Tipos de datos. Opciones comunes de los parámetros de bloques. Bloque System Generator. Ejemplo de diseño de un sistema en Simulink y su implementación en el FPGA.
- **Arquitectura y Tecnología FPGA para DSP**
Arquitectura de un FPGA. Importancia de los bloques DSPs en un FPGA. Recursos lógicos disponibles en un FPGA. Bloques de memoria. Recursos dedicados de reloj, ruteo, DCM, PLL. Configuración de un FPGA. Bloque dedicado DSP en un FPGA. Bloque DSP48/A/1/E1.
- **Muestro y Cuantización**
Muestreo y reconstrucción en el dominio del tiempo. Teorema del muestreo. Relación entre el tiempo y la frecuencia en el dominio continuo y el discreto. Representación y ubicación de las réplicas. Conversión A/D y D/A. Cuantización. Transferencia y error de cuantización. Muestreo y retención. DFT. Interpretaciones. Propiedades. Error de muestreo por jitter. Aliasing de una señal; ejemplos y espectros. Filtro anti-alias. Filtro de reconstrucción. Frecuencia de muestreo estándares. Rango dinámico de datos binarios.



- **Aritmética para DSP-FPGA**

Representación de números enteros sin signo. Enteros con signo, representación en complemento a uno y en complemento a dos. Representación de valores no enteros. Números binarios en punto fijo. Cuantización en punto fijo. Normalización, formato Q. Suma en punto fijo. Overflow y Wraparound. Saturación, Truncado, Redondeo y Trounding.

- **Filtros Digitales**

Diseño de filtros digitales. Especificaciones. Diseño de filtros FIR de fase lineal: Método de las ventanas, de muestreo en frecuencia y óptimo. Diseño de filtros IIR a partir de filtros analógicos: Mediante la transformación invariante al impulso y por transformación bilineal. Estructuras para sistemas FIR: Estructura en forma directa, en cascada, de muestreo en frecuencia, en celosía. Estructuras para sistemas IIR: Estructuras en forma directa, en cascada, en paralelo, en celosía escalonada. Transposición. Uso de la herramienta FDATool de Matlab.

- **Implementación de Filtro FIR**

Tipos de implementación. Latencia. Camino crítico. Optimización de recursos. Maximización de frecuencia de funcionamiento. Arreglos sistólicos. Uso del bloque DSP48 del FPGA. Ejemplo de implementación. Distintos tipos de multiplicadores de coeficientes. Herramientas de optimización de rendimiento.

- **VHDL para Síntesis en FPGAs con bloques DSPs**

Conceptos básicos de VHDL. Estructura de un archivo VHDL, entidad, arquitectura, paquetes. Señales y variables. Datos objetos y tipos. Código VHDL para instanciación e inferencia de componentes del FPGA. Jerarquía. Simulación, ciclo delta. Test bench. Ejemplos de test bench. Declaración y uso de atributos para síntesis. Descripción en VHDL de un filtro FIR. Simulación de un filtro FIR.

- **Síntesis en FPGA de Algoritmos DSP**

Comprensión del entorno de desarrollo ISE de Xilinx. Herramienta de síntesis. Reporte de síntesis. Análisis de retardos y frecuencias de funcionamiento. Archivo de restricciones de usuario. Principales restricciones. Uso de atributos de VHDL para la utilización de lógica específica. Mapeo, localización y ruteo de los elementos lógicos del diseño. Reportes de las distintas herramientas. Introducción al uso del editor de FPGA.

Duración: 36 horas.

Sistema de evaluación: presentación de trabajos de laboratorio en hardware.

Bibliografía:

- "Digital Signal Processing with Field Programmable Gate Arrays". Uwe Meyer-Baese. Springer, Third Edition, 2007.
- Understanding Digital Signal Processing". Richard Lyons. Pearson Education. Second Edition, 2006.
- "The Designer's Guide to VHDL". P. Ashenden. Morgan Kaufman, Third Edition. 2008.
- Digital Design. Principles and Practices". J. Wakerly. Prentice Hall. 2004.
- FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version". Pong Chu. Wiley Interscience, 2008.
- Synthesis and Optimization of Digital Circuits". Giovanni De Micheli. Mc-Graw Hill. 1994.

- Introduction to MATLAB and SIMULINK, A Project Approach”. Ottmar Beucher and Michael Weeks. Third Edition. Jones and Barlett Publishers, 2007.
- “A VHDL Primer”. Jayaram Bhasker. Prentice Hall. Third Edition. 1998.
- “Virtex-5 FPGA XtremeDSP Design Considerations”. User’s Guide 193. Xilinx Inc. 2010.
- “System Generator for DSP”. Reference Guide. Xilinx Inc. 2008.
- “Virtex-5”. User Guide 190. Xilinx Inc. 2007.

Cronograma Semanal

	Lunes	Martes	Miércoles	Jueves	Viernes
9	CHECK-IN (desde las 10hs)	Proc. Dig. de Señ. y Apl. Emb. con FPGA	Proc. Dig. de Señ. y Apl. Emb. con FPGA	Proc. Dig. de Señ. y Apl. Emb. con FPGA	Proc. Dig. de Señ. y Apl. Emb. con FPGA
		RTOS y aplicaciones utilizando CIAA-Firmware	RTOS y aplicaciones utilizando CIAA-Firmware	RTOS y aplicaciones utilizando CIAA-Firmware	RTOS y aplicaciones utilizando CIAA-Firmware
		Arq. y Pro. de Microcon. de 32 bits - Nivel II	Arq. y Pro. de Microcon. de 32 bits - Nivel II	Arq. y Pro. de Microcon. de 32 bits - Nivel II	Arq. y Pro. de Microcon. de 32 bits - Nivel II
13		Arq. y Pro. de Microcon. de 32 bits - Nivel I	Arq. y Pro. de Microcon. de 32 bits - Nivel I	Arq. y Pro. de Microcon. de 32 bits - Nivel I	Arq. y Pro. de Microcon. de 32 bits - Nivel I
13 14	Almuerzo	Almuerzo	Almuerzo	Almuerzo	Almuerzo
14:30	Procesamiento Dig. de Señ. y Apl. Emb. con FPGA	Procesamiento Dig. de Señ. y Apl. Emb. con FPGA	Visita turística	Procesamiento Dig. de Señ. y Apl. Emb. con FPGA	Procesamiento Dig. de Señ. y Apl. Emb. con FPGA
	RTOS y aplicaciones utilizando CIAA-Firmware	RTOS y aplicaciones utilizando CIAA-Firmware		RTOS y aplicaciones utilizando CIAA-Firmware	RTOS y aplicaciones utilizando CIAA-Firmware
	Arq. y Pro. de Microcon. de 32 bits - Nivel II	Arq. y Pro. de Microcon. de 32 bits - Nivel II		Arq. y Pro. de Microcon. de 32 bits - Nivel II	Arq. y Pro. de Microcon. de 32 bits - Nivel II
19:30	Arq. y Pro. de Microcon. de 32 bits - Nivel I	Arq. y Pro. de Microcon. de 32 bits - Nivel I		Arq. y Pro. de Microcon. de 32 bits - Nivel I	Arq. y Pro. de Microcon. de 32 bits - Nivel I
21	Cena	Cena	Cena de Camaradería	Cena	Cena

Visita turística

(A definir)

Cena de camaradería

Miércoles 16 de Abril, menú a definir.

Link de Pre-Inscripción

Link Pre-inscripción: <http://goo.gl/DwiygV> .

Correo de Contacto

Ing. Sergio Hernandez
sergio.sfhv@gmail.com

Colaboradores Locales

Ing. Carlos Federico Sosa Páez
Dr. Alejandro Grosso
Ing. Raúl Aníbal Villa
Ing. Diego Esteban Costa
Ing. Roberto Martin Murdocca
Ing. Gustavo Brauer
Ing. Sergio Fernando Hernandez Velazquez
Lic. Guillermo Aguirre
Ing. Mauro Schwab
Lic. Guillermo Aguirre
TUM Raúl Lopresti